

[Previous Doc](#)[Next Doc](#)
[First Hit](#)[Go to Doc#](#)☐ [Generate Collection](#)

L16: Entry 2 of 8

File: JPAB

Aug 2, 2002

PUB-NO: JP02002216488A
DOCUMENT-IDENTIFIER: JP 2002216488 A
TITLE: SEMICONDUCTOR MEMORY

PUBN-DATE: August 2, 2002

INVENTOR-INFORMATION:

NAME

COUNTRY

TAKUMI, MUNENORI
HIRATA, YOSHIHARU
MIKI, KAZUHIKO
KAKIZOE, KAZUHIKO
FUJIMOTO, TAKUYA
KASAI, HISAMICHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

IWATE TOSHIBA ELECTRONICS CO LTD
TOSHIBA CORP

APPL-NO: JP2001010239
APPL-DATE: January 18, 2001

INT-CL (IPC): [G11 C 16/06](#); [G11 C 16/04](#)

ABSTRACT:

PROBLEM TO BE SOLVED: To read out data stably without reducing access speed and increasing circuit area by performing simultaneously bit line reset operation in a read-out cycle of a flash memory of a NOR type and read-out operation.

SOLUTION: In a NOR type flash memory, a plurality of non-volatile memory cell transistors Cell are arranged, the flash memory is provided with a cell array block 10 in which each source of each memory cell transistor is connected commonly to one source line 20, a plurality of bit lines 12, 13 and a plurality of word lines 14 for selecting a memory cell transistor, and reset transistors 23 performing at least one part of reset operation of bit lines while reading-out a memory cell transistor.

COPYRIGHT: (C)2002, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-216488
(P2002-216488A)

(43) 公開日 平成14年8月2日(2002.8.2)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 1 1 C 16/06 16/04		G 1 1 C 17/00	6 3 4 B 5 B 0 2 5 6 2 2 A

審査請求 未請求 請求項の数7 O L (全9頁)

(21) 出願番号 特願2001-10239(P2001-10239)

(22) 出願日 平成13年1月18日(2001.1.18)

(71) 出願人 000158150

岩手東芝エレクトロニクス株式会社
岩手県北上市北工業団地6番6号

(71) 出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 宅見 宗則

岩手県北上市北工業団地6番6号 岩手東
芝エレクトロニクス株式会社内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

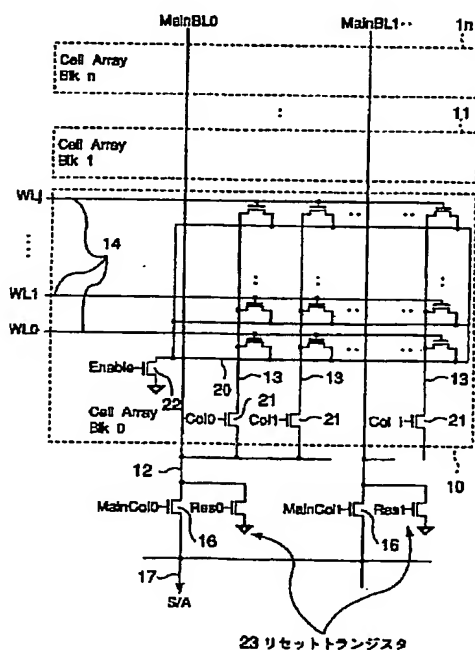
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】ノアタイプのフラッシュメモリの読み出しサイクルにおけるビット線リセット動作を読み出し動作と並行して行い、アクセス速度の低下や回路面積の増大を招くことなく安定にデータを読み出す。

【解決手段】ノアタイプのフラッシュメモリにおいて、複数の不揮発性のメモリセルトランジスタCellが配列されてなり、各メモリセルトランジスタの各ソースは共通に1本のソース線20に接続されたセルアレイブロック10と、メモリセルトランジスタを選択するための複数本のビット線12,13 および複数本のワード線14と、メモリセルトランジスタの読み出し動作中に並行してビット線の少なくとも一部のリセット動作を行うリセットトランジスタ23とを具備する。



【特許請求の範囲】

【請求項1】 複数の不揮発性のメモリセルトランジスタが配列されてなり、各メモリセルトランジスタの各ソースは共通にソース線に接続されたメモリセルアレイと、

前記メモリセルトランジスタを選択するための複数本のビット線および複数本のワード線と、

前記メモリセルトランジスタの読み出し動作中に並行して前記ビット線の少なくとも一部のリセット動作を行うビット線リセット回路とを具備することを特徴とする半

導体記憶装置。

【請求項2】 前記ビット線リセット回路は、前記読み出し動作中に読み出し対象でないビット線の一部または全部をリセットすることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記ビット線リセット回路は、前記読み出し動作中に読み出し対象であるビット線を含む一部または全部をリセットすることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 それぞれ複数の不揮発性のメモリセルトランジスタが配列された複数のセルアレイブロックを有し、各セルアレイブロック内でメモリセルトランジスタの各ソースが共通にソース線に接続されたメモリセルアレイと、

前記メモリセルアレイのメモリセルを選択するためのメインビット線群とサブビット線群からなる二重ビット線方式のビット線および複数本のワード線と、

前記セルアレイブロックに設けられ、各メインビット線に対応してそれぞれ複数本のサブビット線を選択的に接続するための複数のカラムゲートトランジスタと、

前記メモリセルアレイの近傍に配列され、各メインビット線に対応して選択するための複数のメインビット線選択トランジスタと、

それぞれ所定の複数の前記メインビット線選択トランジスタの各一端に一括接続されたデータ線と、

それぞれ前記データ線の一对にそれぞれデータ線選択トランジスタを介して接続された複数個のセンスアンプと、

前記メモリセルアレイの近傍に配列され、前記メインビット線のうちで前記メインビット線選択トランジスタよりメモリセルアレイ側のノードと接地ノードとの間にそれぞれ接続されたりセットトランジスタとを具備し、前記メモリセルアレイにおける選択されたメモリセルの読み出し動作中に、アクセスされていないメインビット線に接続され、かつ、アクセスされているサブビット線にそれぞれ対応して接続されている前記リセットトランジスタがオン状態に制御されることを特徴とする半導体記憶装置。

【請求項5】 それぞれ複数の不揮発性のメモリセルトランジスタが配列された複数のセルアレイブロックを有

し、各セルアレイブロック内でメモリセルトランジスタの各ソースが共通に1本のソース線に接続されたメモリセルアレイと、

前記メモリセルアレイのメモリセルを選択するためのメインビット線群とサブビット線群からなる二重ビット線方式のビット線および複数本のワード線と、

前記セルアレイブロックに設けられ、各メインビット線に対応してそれぞれ複数本のサブビット線の各一端部を選択的に接続するための複数のカラムゲートトランジスタと、

前記セルアレイブロックに設けられ、前記各サブビット線の一端部で前記カラムゲートトランジスタよりメモリセル側のノードと接地ノードとの間にそれぞれ接続されたりセットトランジスタと、

前記メモリセルアレイの近傍に配列され、各メインビット線に対応して選択するための複数のメインビット線選択トランジスタとを具備し、前記メモリセルアレイにおける選択されたメモリセルの読み出し動作中に、読み出し対象でないサブビット線にそれぞれ対応して接続されている前記リセットトランジスタがオン状態に制御されることを特徴とする半導体記憶装置。

【請求項6】 それぞれ複数の不揮発性のメモリセルトランジスタが配列された複数のセルアレイブロックを有し、各セルアレイブロック内でメモリセルトランジスタの各ソースが共通にソース線に接続されたメモリセルアレイと、

前記メモリセルアレイのメモリセルを選択するためのメインビット線群とサブビット線群からなる二重ビット線方式のビット線および複数本のワード線と、

前記セルアレイブロックに設けられ、各メインビット線に対応してそれぞれ複数本のサブビット線の各一端部を選択的に接続するための複数のカラムゲートトランジスタと、

前記セルアレイブロックに設けられ、前記各サブビット線の一端部で前記カラムゲートトランジスタよりメモリセル側のノードと接地ノードとの間にそれぞれ接続され、所定の小電流をリークさせるための電流リーク用トランジスタと、

前記メモリセルアレイの近傍に配列され、各メインビット線に対応して選択するための複数のメインビット線選択トランジスタとを具備し、前記メモリセルアレイにおける選択されたメモリセルの読み出し動作中に、読み出し対象であるサブビット線を含む一部のサブビット線にそれぞれ対応して接続されている前記小電流リーク用トランジスタがオン状態に制御されることを特徴とする半導体記憶装置。

【請求項7】 それぞれ複数の不揮発性のメモリセルトランジスタが配列された複数のセルアレイブロックを有し、各セルアレイブロック内でメモリセルトランジスタの各ソースが共通にソース線に接続されたメモリセルア

レイと、

前記メモリセルアレイのメモリセルを選択するためのメインビット線群とサブビット線群からなる二重ビット線方式のビット線および複数本のワード線と、

前記セルアレイブロックに設けられ、各メインビット線に対応してそれぞれ複数本のサブビット線の各一端部を選択的に接続するための複数のカラムゲートトランジスタと、

前記セルアレイブロックに設けられ、前記各サブビット線の一端部で前記カラムゲートトランジスタよりメモリセル側のノードと接地ノードとの間にそれぞれ接続され、所定の小電流をリークさせるための電流リーク用トランジスタと、

前記メモリセルアレイの近傍に配列され、各メインビット線を対応して選択するための複数のメインビット線選択トランジスタとを具備し、前記メモリセルアレイにおける選択されたメモリセルの読み出し動作中に、前記サブビット線の全部にそれぞれ対応して接続されている前記小電流リーク用トランジスタがオン状態に制御されることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係り、特に複数のセルトランジスタのソースに共通に接続されるソース線の電位を動作モードに応じて切り換える方式の半導体記憶装置における読み出し回路に関するもので、例えばフラッシュメモリなどの不揮発性半導体メモリに使用されるものである。

【0002】

【従来の技術】図7は、従来のノアタイプのフラッシュメモリの一部を示している。ここでは、1個のセルアレイブロック90を取り出して、不揮発性メモリセル（セルトランジスタ）Cell群、ワード線WL0～WLj群、ビット線BL群、ソース線SL、ソース線トランジスタST、カラムゲートトランジスタCTの接続関係の一部を概略的に示している。

【0003】このセルアレイブロック90では、同一カラム（列）のセルトランジスタCellのドレインは共通に1本のビット線BLに接続されており、同一行のセルトランジスタCellの制御ゲートは共通にワード線WL0～WLjの1本に接続されており、セルアレイブロック90内の全てのセルトランジスタCellの各ソースは共通に1本のソース線SLに接続されている。

【0004】各ビット線BLは、対応してカラムゲートトランジスタCTを介して一括接続された後、センスアンプS/Aに接続される。また、ソース線SLは、Enable信号によりスイッチング制御されるソース線トランジスタSTを介して所定の電位ノードに接続されている。上記ソース線スイッチトランジスタSTは、メモリの読み出し動作中にオン状態に制御される。

【0005】なお、ここでは、セルトランジスタの閾値電圧 V_{th} が低い状態のものをオンセル（On Cell）、 V_{th} が高い状態のものをオフセル（Off Cell）と称するものとする。

【0006】図8は、図7のセルアレイブロックを有する従来のノアタイプのフラッシュメモリの読み出しサイクルにおける動作例を示すタイミング波形図である。

【0007】このフラッシュメモリの読み出しサイクルにおいて、アドレスADDが確定した状態でクロックCLKに同期してラッチ（Add Latch）されることによりアドレス選択が行われ、セルトランジスタCellが選択される。そして、選択セルの読み出しデータがセンスアンプS/Aにより検知され、その出力データS/A OUTがラッチ（DATA LATCH）されてホールドされる。

【0008】上記読み出し動作に際して、アドレス選択の順序や、選択セルがオンセルであるかオフセルであるかによって、選択セルに接続されているビット線BLにそれ以前に蓄積されていた電荷が一気にソース線スイッチトランジスタSTを経てソース線SLに放電され、ソース線BLの電位が極端に上昇することがある。これにより、ソース線電位を所定電位（読み出し時は通常は接地電位）に維持できなくなり、フラッシュメモリの安定な読み出しを阻害してしまう。また、セルアレイの構成によっては、読み出しが不可能な程度にソース線電位が上昇することもある。そこで、読み出し前に、ビット線BLの電位をリセット（放電）した後に読み出しを行うことが不可欠な場合がある。

【0009】ここで、上記ソース線電位の上昇（浮き）の問題を以下に詳述する。

【0010】最初に、あるワード線（例えばWL1）が選択され、そのままカラムインクリメント読み出しにより各カラムゲートトランジスタCTが順次選択され、上記選択ワード線WL1に接続されている全てのセルトランジスタCellのデータが各対応するビット線BLに読み出された場合を考える。この時、もしも、ビット線電位のリセットが行われていないとすると、選択ワード線に接続されている全てのセルトランジスタCellのデータがビット線BLに読み出された時、全てのビット線BLは上記読み出し時の電位で充電されたままとなる。この時、選択ワード線に接続されている全てのセルトランジスタCellがオフセルであった場合には、ビット線BLの電荷は最大値が蓄積されていることになる。

【0011】次に、別のワード線（例えばWL0）に選択が切り替わり、もしも、この選択ワード線WL0に接続されている全てのセルトランジスタCellがオンセルであった場合には、それ以前に各ビット線BLに蓄積されていた電荷が一気にソース線SLに放電され、ソース線SLはその抵抗で決まる電位まで浮くことになる。上記ソース線SLの抵抗は、配線抵抗とソース線スイッチトランジスタSTのオン抵抗で決まり、これらの抵抗を抑制することが望

ましいが、それに伴ってパターン面積の極端な増大を招くことになり、ソース線SLの小抵抗化によるソース線電位の浮きの問題の回避は非現実的である。

【0012】したがって、前述したように読み出し前にビット線BLの電位をリセットした後に読み出しを行っているが、従来は、図8中に示すように、読み出しサイクル中の読み出しサイクルの最後にリセット期間Resetを設けてビット線リセットを行っている。

【0013】しかし、従来の方法では、読み出しサイクルの最後にリセット期間Resetを設けるので、アクセス
10 タイムAccess Timeの低下を招く。また、近年の高速読み出しを行うフラッシュメモリのように読み出し速度が速くなってくると、センスアンプ出力データS/A OUTのラッチに必要なセットアップタイムSet up Timeの確保や、ビット線リセットを行うために用いられるリセットパルスBL RESETを活性化するためのホールドタイムHold Timeの制御が非常に困難になる。

【0014】

【発明が解決しようとする課題】上記したように従来のフラッシュメモリは、読み出しサイクル中にビット線の
20 電位をリセットする必要がある場合、読み出しサイクル中の最後にリセット期間を設けてビット線リセットを行うので、アクセスタイムの低下を招き、高速読み出しを行う場合にはリセットパルスの制御が非常に困難になるという問題があった。

【0015】本発明は上記の問題点を解決すべくなされたもので、読み出しサイクルにおけるビット線リセット動作を読み出し動作と並行して行うことができ、アクセス速度の低下や回路面積の増大を招くことなく安定にデータを読み出すことが可能になる半導体記憶装置を提供
30 することを目的とする。

【0016】

【課題を解決するための手段】本発明の半導体記憶装置は、複数の不揮発性のメモリセルトランジスタが配列されてなり、各メモリセルトランジスタの各ソースは共通にソース線に接続されたメモリセルアレイと、前記メモリセルトランジスタを選択するための複数本のビット線および複数本のワード線と、前記メモリセルトランジスタの読み出し動作中に並行して前記ビット線の少なくとも一部のリセット動作を行うビット線リセット回路とを
40 具備することを特徴とする。

【0017】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を詳細に説明する。

【0018】＜第1の実施形態＞図1は、本発明の第1の実施形態に係るノアタイプのフラッシュメモリの一部を示している。

【0019】図1において、メモリセルアレイは、それぞれ複数の不揮発性メモリセルが配列されてなる複数個の通常のセルアレイブロック、1個のカラムリダンダン
50

シー(Col R/D)用セルアレイブロック、1個のブート用セルアレイブロックを含む複数個のセルアレイブロック(Cell Array Blk 0 ~ Cell Array Blk n)10 ~ 1nに分割されている。

【0020】このフラッシュメモリは二重ビット線方式を採用しており、各セルアレイブロック11~1nは、複数本のメインビット線(Main BL)12、複数本のサブビット線(SubBL)13 および複数本のワード線(WL0~WLj)14を備えている。

10 【0021】上記セルアレイブロック10の近傍には、例えば32個のセンスアンプ(S/A)のアレイが設けられている。

【0022】この場合、例えば8本のメインビット線12が各対応してメインビット線選択トランジスタ16を介してデータ線(DL)17に一括接続されており、一対(2本)のデータ線17がデータ線選択トランジスタ18を介してセンスアンプに接続されている。

【0023】図1中では、通常のセルアレイブロック10における構成の一部を具体的に示している。このセルアレイブロック10では、同一カラム(列)のセルトランジスタCellのドレインは共通に1本のサブビット線13に接続されおり、同一行のセルトランジスタCellの制御ゲートは共通にワード線(WL0~WLj)14の1本に接続されており、セルアレイブロック内の全てのセルトランジスタCellの各ソースは共通に1本のソース線(SL)20に接続されている。なお、セルアレイブロック内の全てのセルトランジスタCellの各ソースは共通に、2本以上のソース線に接続されていてもよい。

【0024】各サブビット線13は、対応してカラム選択信号Col0、Col1、…により制御されるカラムゲートトランジスタ21を介して一括接続された後、メインビット線12に接続される。また、ソース線20は、Enable信号によりスイッチング制御されるソース線トランジスタ22を介して所定の電位ノードに接続されている。上記ソース線スイッチトランジスタ22は、メモリの読み出し動作中にオン状態に制御される。

【0025】各メインビット線12は、対応するメインビット線選択トランジスタ16により選択される。各サブビット線13は、対応するカラムゲートトランジスタ21により
40 選択される。

【0026】そして、各メインビット線12のうちでメインビット線選択トランジスタ16よりセルアレイ側のノードと接地ノードとの間にそれぞれリセットトランジスタ23が接続されており、各リセットトランジスタ23は読み出し動作中に対応してリセット制御信号Res0、Res1、…により選択的にオン状態に駆動される。

【0027】図2は、図1のノアタイプのフラッシュメモリの読み出しサイクルにおける動作例を示すタイミング波形図である。

【0028】この読み出しサイクルにおいて、アドレス

ADD が確定した状態でクロックCLKに同期してラッチ(Ad d Latch) されることによりアドレス選択が行われ、所望のセルトランジスタCellが選択される。この場合、例えばメインカラムMainCol0のメインビット線12が選択されると、このメインビット線12に接続されているリセットトランジスタはリセット制御信号Res0によりオフ状態に制御される。

【0029】そして、選択セルトランジスタCellの読み出しデータがセンスアンプにより検知され、その出力データS/A OUT がラッチされてホールドされる。

【0030】上記読み出し動作中に、非選択状態の他のメインカラムMainCol1等のメインビット線に接続されているリセットトランジスタ等はリセット制御信号Res1、…によりオン状態に制御される。したがって、この非選択状態のメインビット線に共通に接続されている複数のカラムゲートトランジスタ21のうちの一部の選択状態(オン状態)のカラムゲートトランジスタに接続されているサブビット線13の電荷が、上記オン状態のカラムゲートトランジスタ21およびメインビット線12を経由してリセットトランジスタによってリセットされる。

【0031】即ち、第1の実施形態によれば、フラッシュメモリの読み出し動作中に、アクセスされていないメインビット線12に接続され、かつ、アクセスされているサブビット線(つまり、読み出し対象でないビット線の一部)13の電荷を、読み出し動作に並行して常にリセットトランジスタ23によってリセットすることができる。

【0032】したがって、セルアレイ全体に対するビット線リセットの割合(リセット率)が高ければ、ソース線SLの電位上昇(浮き)を抑制することができる。また、次の読み出しサイクルに際して、事前にビット線がリセットされていると、安定に読み出し動作を行うことが可能になることを期待できる。

【0033】<第2の実施形態>図3は、本発明の第2の実施形態に係るノアタイプのフラッシュメモリの一部(セルアレイブロックの1個分)を取り出して具体的な回路例を示している。

【0034】ここでは、セルアレイブロックにおけるメモリセル群、ワード線群、サブビット線群、ソース線群、カラムゲートトランジスタ群、ビット線リセットトランジスタ群、データ線の接続関係の一部を示している。

【0035】このフラッシュメモリは、前述した第1の実施形態に係るフラッシュメモリと比べて、各メインビット線12にはリセットトランジスタが接続されず、各サブビット線13の一端部でカラムゲートトランジスタ21よりセルトランジスタ側のノードと接地ノードとの間にそれぞれリセットトランジスタ41が接続されている点が異なり、その他は同じであるので図1中と同一部分には同一符号を付してその説明を省略する。

【0036】各リセットトランジスタ41は、メモリセル

Cellの読み出し動作中に、非選択状態(オフ状態)のカラムゲートトランジスタ21に接続されているものが選択的にオン状態に制御される。これにより、このオン状態のカラムゲートトランジスタ21が接続されているサブビット線13の電荷がリセットトランジスタ41によつてリセットされる。

【0037】即ち、上記第2の実施形態によれば、読み出し動作中に(読み出し動作に並行して)読み出し対象でないビット線の全部をリセットすることができる。

10 【0038】<第1の実施形態および第2の実施形態の変形例>第1の実施形態と第2の実施形態とを組み合わせた実施も可能である。

【0039】即ち、各メインビット線12のうちでメインビット線選択トランジスタ16よりセルアレイ側のノードと接地ノードとの間にリセットトランジスタ23が接続されるとともに、各サブビット線13のうちでカラムゲートトランジスタ21よりセルアレイ側のノードと接地ノードとの間にそれぞれリセットトランジスタ41が接続されている。

20 【0040】このような構成によれば、読み出し動作中に、前述したように各リセットトランジスタ23、41を選択的にオン状態に駆動することにより、読み出し対象でないビット線の大部分をリセットすることができる。

【0041】<第3の実施形態>図4は、本発明の第3の実施形態に係るノアタイプのフラッシュメモリの一部(セルアレイブロックの1個分)を取り出して具体的な回路例を示している。

【0042】ここでは、セルアレイブロックにおけるメモリセル群、ワード線群、ビット線(代表的にサブビット線)群、ソース線群、カラムゲートトランジスタ群、小電流リーク用トランジスタ群、データ線の接続関係の一部を示している。

30 【0043】このフラッシュメモリは、前述した第2の実施形態に係るフラッシュメモリと比べて、各サブビット線13の一端部でカラムゲートトランジスタ21よりセルトランジスタ側のノードと接地ノードとの間にそれぞれ所定の小電流をリークさせるための電流リーク用トランジスタ51が接続されている点と異なり、その他は同じであるので図3中と同一部分には同一符号を付してその説明を省略する。

【0044】図5は、図4のノアタイプのフラッシュメモリの読み出しサイクルにおける動作例を示すタイミング波形図である。

40 【0045】読み出し動作中に、小電流リーク用トランジスタ51群のうちで選択状態(オン状態)に制御されているカラムゲートトランジスタ21に接続されている電流リーク用トランジスタ51を含む一部(本例では1グループをなす複数個)が制御信号Res0により選択的にオン状態に制御される。これにより、ビット線13群のうちでオン状態の小電流リーク用トランジスタ51に接続されてい

る一部のビット線13の電荷が電流リーク用トランジスタ51によってリセットされる。

【0046】即ち、上記第3の実施形態によれば、読み出し動作中に（読み出し動作に並行して）読み出し対象のビット線を含む一部のビット線をリセットすることができる。前記制御信号Res0は、クロックCLKの立ち上がりから若干遅延したタイミングで生成される。これにより、読み出し期間の始めを除き、長時間（読み出しビット線と無関係に）にわたり、オン状態の小電流リーク用トランジスタ51に接続されている一部のビット線13の電荷がリセットされる。この際、アクセスされているビット線の電荷がリセットされる場合もあるが、リセット電流自体が小さいので、アクセスタイムにそれほど悪影響は出ない。

【0047】＜第4の実施形態＞図6は、本発明の第4の実施形態に係るノアタイプのフラッシュメモリの一部（セルアレイブロックの1個分）を取り出して具体的な回路例を示している。

【0048】この第4の実施形態は、前記第3の実施形態と比べて、小電流リーク用トランジスタ51群の全てが制御信号Resにより共通に制御される点が異なり、その他は同じであるので、図4中と同一部分には同一符号を付してその説明を省略する。

【0049】図6におけるフラッシュメモリの読み出し動作中に、電流リーク用トランジスタ51群の全てがオン状態に制御される。これにより、オン状態の電流リーク用トランジスタ51に接続されている全部のビット線13の電荷が小電流リーク用トランジスタ51によってリセットされる。

【0050】即ち、上記第4の実施形態によれば、読み出し動作中に（読み出し動作に並行して）ビット線の全てをリセットすることができる。

【0051】なお、上記第2～第4の実施形態は、二重ビット線方式のノアタイプのフラッシュメモリの1つのセルアレイブロックを示したが、二重ビット線方式でないフラッシュメモリにも適用可能である。

【0052】また、上記各実施形態では、ノアタイプのフラッシュメモリを例示したが、これに限らず、本発明は、複数のセルトランジスタのソースが共通に接続される半導体記憶装置に適用可能である。

【0053】

【発明の効果】上述したように本発明の半導体記憶装置によれば、読み出しサイクルにおけるビット線リセット動作を読み出し動作と並行して行うことができ、アクセス速度の低下や回路面積の増大を招くことなく安定にデータを読み出すことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るノアタイプのフラッシュメモリの一部を示す回路図。

【図2】図1のフラッシュメモリの読み出し動作例を示すタイミング波形図。

【図3】本発明の第2の実施形態に係るノアタイプのフラッシュメモリの一部を取り出して具体例を示す回路図。

【図4】本発明の第3の実施形態に係るノアタイプのフラッシュメモリの一部を取り出して具体例を示す回路図。

【図5】図4のフラッシュメモリの読み出し動作例を示すタイミング波形図。

【図6】本発明の第4の実施形態に係るノアタイプのフラッシュメモリの一部を取り出して具体例を示す回路図。

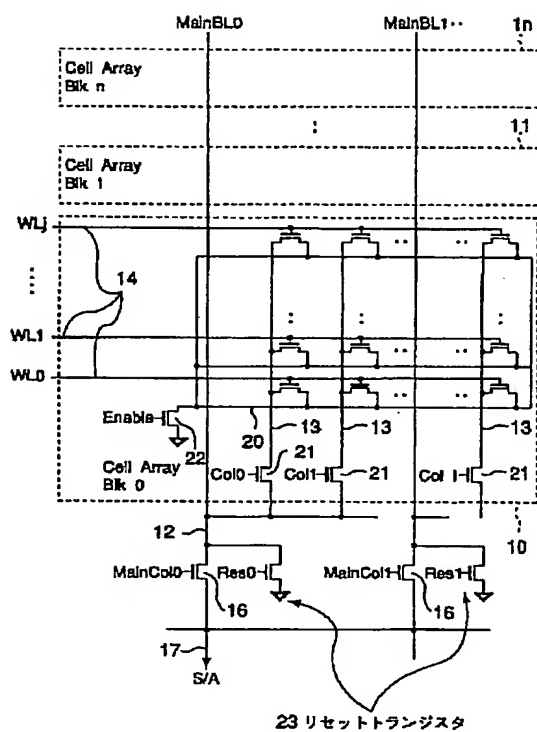
【図7】従来のノアタイプのフラッシュメモリの一部を取り出して具体例を示す回路図。

【図8】図7のフラッシュメモリの読み出し動作例を示すタイミング波形図。

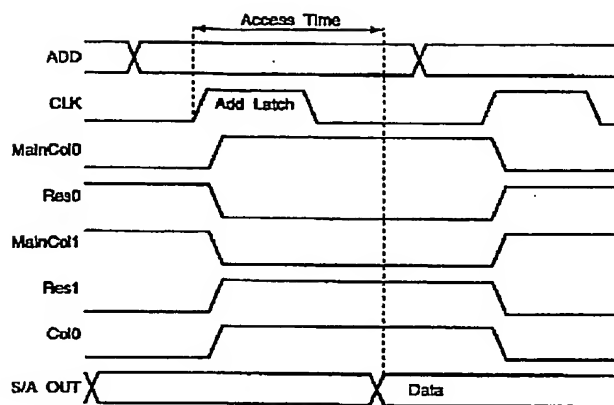
【符号の説明】

- 10…メモリセルアレイ、
- 11～1n…セルアレイブロック (Cell Array Blk 1 ～ Cell Array Blk n) <
- 12…メインビット線 (Main BL) 、
- 13…サブビット線 (SubBL) 、
- 14…複数本のワード線 (WL) 、
- 16…メインビット線選択トランジスタ、
- 17…データ線 (DL) 、
- 20…ソース線、
- 21…カラムゲートトランジスタ、
- 22…ソース線トランジスタ、
- 23、41、51…リセットトランジスタ。

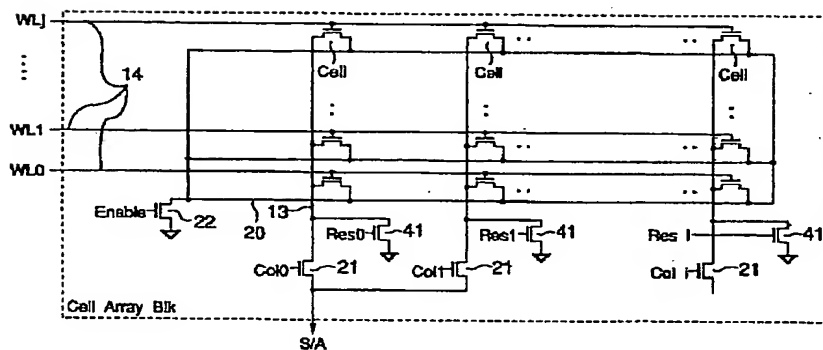
【図1】



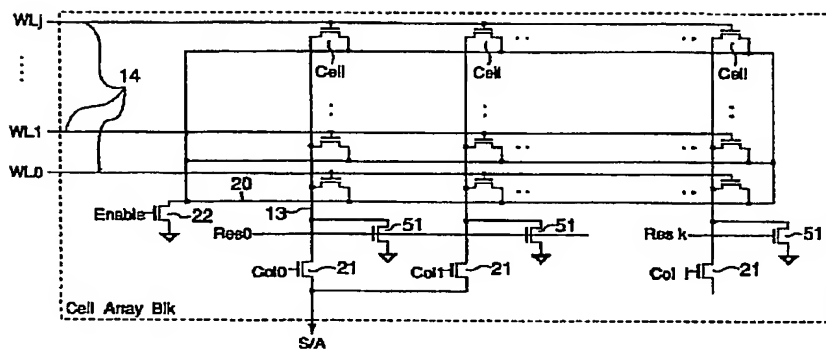
【図2】



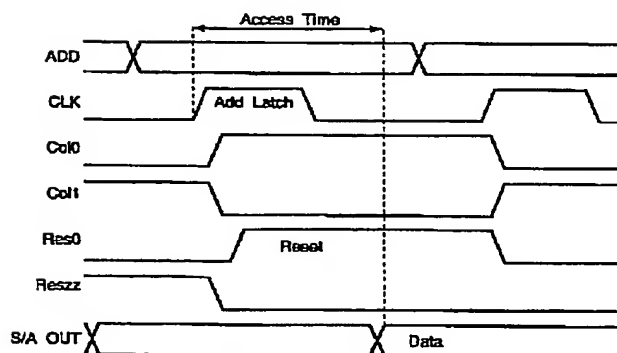
【図3】



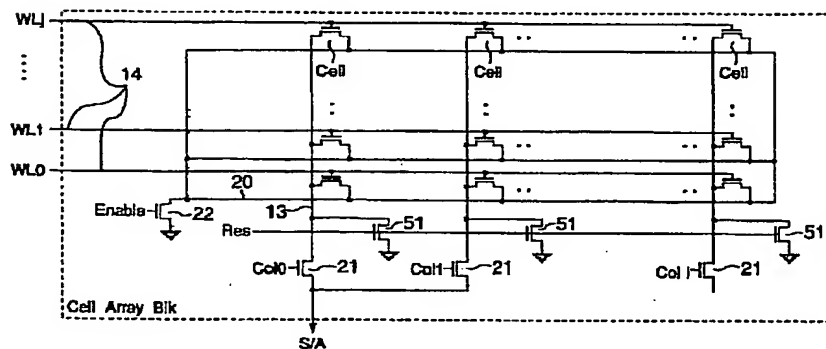
【図4】



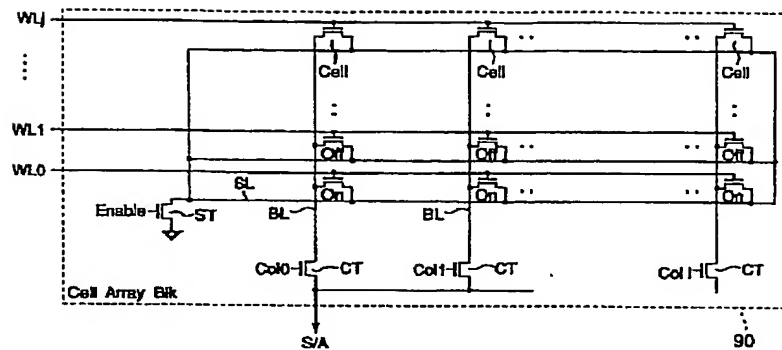
【図5】



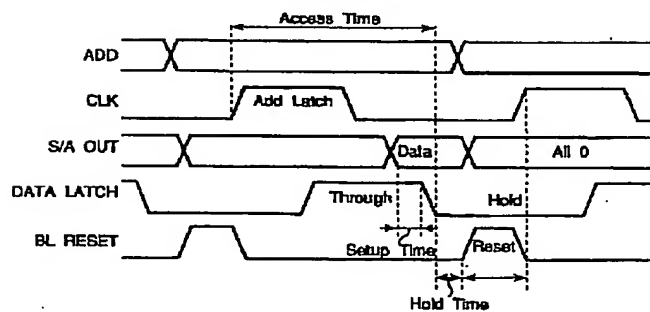
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 平田 義治
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内
(72)発明者 三木 和彦
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 柿添 和彦
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内
(72)発明者 藤本 卓也
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内
(72)発明者 葛西 央倫
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

Fターム(参考) 5B025 AD05 AD11 AE08